

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-037655

(43)Date of publication of application : 07.02.1990

---

(51)Int.Cl. H01J 37/305  
H01L 21/027

---

(21)Application number : 01-137321

(71)Applicant : SIEMENS AG

(22)Date of filing : 29.05.1989

(72)Inventor : BENECKE WOLFGANG  
SCHNAKENBERG UWE  
LISCHKE BURKHARD

---

(30)Priority

Priority number : 88 3818535 Priority date : 31.05.1988 Priority country : DE

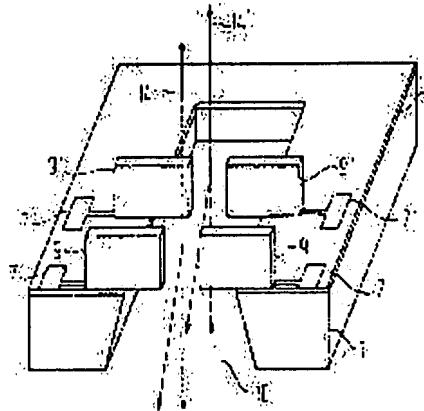
---

## (54) MANUFACTURE OF CONTROL PLATE FOR LITHOGRAPHY DEVICE

### (57)Abstract:

**PURPOSE:** To obtain a control plate having deflection elements of the number corresponding to the numbers of semiconductor layers and particle probes by making thickness of a photoresist layer to which the dimension and arrangements of deflection elements are transferred exceed the height of the deflection elements and filling a recessed part made in this layer up to a desired height of the deflection elements by electrodeposition.

**CONSTITUTION:** A control plate is mainly constituted of a single crystal semiconductor substrate 1 provided with a window 10 for passing particle probes 14, 14' generated from a multiple radiation source and deflection elements 9 and 9' of the corresponding number. The deflection elements 9, 9' of the control plate are attached to each of particle probes 14, 14' and the deflection elements 9, 9' deflect the particle probes 14, 14' individually. To form deflection elements 9, 9' and bond pads 7, 7' and to connect them with a semiconductor substrate 1 coated with dielectric 2, a lithography method and electrodeposition forming technique are used and working is performed by control voltage because the heights of the deflection elements 9, 9' are several 10 $\mu$ m. Thus, the control plate having the deflection elements of the number matching with the numbers of semiconductor layer and particle probes can be formed.




---

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報 (A) 平2-37655

⑬ Int. Cl. 5

H 01 J 37/305  
H 01 L 21/027

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月7日

7013-5C  
8831-5F  
7376-5F

H 01 L 21/30

341 B  
351

審査請求 未請求 請求項の数 4 (全5頁)

④ 発明の名称 リングラフィ装置用制御板の製造方法

② 特願 平1-137321

② 出願 平1(1989)5月29日

優先権主張 ② 1988年5月31日 ③ 西ドイツ(DE) ④ P3818535.0

⑦ 発明者 ウォルフガング、ベネケ ④ ドイツ連邦共和国ベルリン30、ジギスマントシュトラーセ5

⑦ 発明者 ウベ、シュナーケンベルク ④ ドイツ連邦共和国ベルリン21、ビルケンシュトラーセ10

⑦ 発明者 ブルクハルト、リュケ ④ ドイツ連邦共和国ミュンヘン82、インデアホイルス13

⑦ 出願人 シーメンス、アクチエンゲゼルシヤフト ④ ドイツ連邦共和国ベルリン及ミュンヘン(番地なし)

⑦ 代理人 弁理士 富村 潔

## 明細書

1. 発明の名称 リソグラフィ装置用制御板の  
製造方法ジスト層(8)上にリソグラフィで転写し、そ  
の際フォトレジスト層(8)の厚さが偏向素  
子(9)の高さを上回るようにし、

## 2. 特許請求の範囲

フォトレジスト層(8)中に作られた凹部  
を偏向素子(9)の所望の高さまで電着によ  
り溝たし、1) 多数の粒子プローブ(14、14')で付  
勢される制御板が、粒子プローブ(14、1  
4')を通すための切欠部(10)を備えた  
半導体層(2)及び粒子プローブ(14、1  
4')の数と一致する数の偏向素子(9、9')  
を有する形式のリソグラフィ装置用の制御板  
を製造する方法において、フォトレジスト層(8)を除去し、  
半導体基板(1)の背面をエッチング処理  
することによりスルーホール(10)を形成  
し、半導体基板(1)の表面に第1誘電層(2)  
をまたその背面に第2誘電層(3)を設け、  
金属層(4)を第1誘電層(2)上に析出  
させ、スルーホール(10)の範囲内の金属層(4)  
及び第1誘電層(2)をエッチング処理  
により除去する  
ことを特徴とするリソグラフィ装置用制御板  
の製造方法。第2誘電層(3)を半導体基板(1)に製  
造すべきスルーホール(10)の寸法に相応  
して構造化し、2) 多数の粒子プローブ(14、14')で付  
勢される制御板が、粒子プローブ(14、1  
4')を通すための切欠部(10)を備えた  
半導体層(2)及び粒子プローブ(14、1  
4')の数と一致する数の偏向素子(9、9')製造すべき偏向素子(9、9')の寸法及  
び配置を金属層(4)上に施されたフォトレ

を有する形式のリソグラフィ装置用の制御板を製造する方法において、

半導体基板(1)の表面に第1誘電層(2)をまたその背面に第2誘電層(3)を設け、

金属層(4)を第1誘電層(2)上に析出させ、

第2誘電層(3)を半導体基板(1)に製造すべきスルーホール(10)の寸法に相応して構造化し、

金属層を第1中間層(11)及び第2中間層(12)で覆い、その際第1中間層(11)の厚さが形成すべき偏向素子(9)の高さを上回るようにし、

製造すべき偏向素子(9)の寸法及び形状を第2中間層(12)上に施されたフォトレジスト層(5)上にリソグラフィにより転写し、

フォトレジスト層(5)の構造をエッチング処理により第1及び第2中間層(11、12)に転写し、

第1中間層(11)中に形成された凹部を、偏向素子(9)の高さまで電着により溝たし、フォトレジスト層(5)及び中間層(11、12)を除去し、

スルーホール(10)を半導体基板の異方性エッティングによりウエハの背面に形成し、スルーホール(10)の範囲内の第1誘電層(2)と金属層(4)をエッティング処理により除去する

ことを特徴とするリソグラフィ装置用制御板の製造方法。

3) 半導体基板(1)がシリコンからなり、このシリコンが(1, 0, 0)配向を有することを特徴とする請求項1又は2記載の方法。

4) 半導体基板(1)がシリコンからなり、このシリコンが(1, 1, 0)配向を有することを特徴とする請求項1又は2記載の方法。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は、多数の粒子プローブで付勢される制

御板が、粒子プローブを通すための切欠部を備えた半導体層(ダイアフラム)及び粒子プローブの数と一致する数の偏向素子を有する形式の、リソグラフィ装置用の制御板を製造する方法に関する。  
〔従来の技術〕

米国特許第4724328号明細書からリソグラフィ装置(電子ビーム記録器)は公知であり、その電子光学柱状体は多数の個々に偏向可能の電子プローブを得るための開口絞りを有する。欧州特許出願公開第191439号明細書に詳述されている開口絞りは主として列状の多穿孔構造を有するシリコンのダイアフラムからなり、その表面には偏向単位として作用する電極系が配置されている。

#### 〔発明が解決しようとする課題〕

本発明の課題は、多数の粒子プローブで付勢される制御板が半導体層及び粒子プローブの数に相応する数の偏向素子を有する形式の、リソグラフィ装置用の制御板を製造する方法を提供することにある。

#### 〔課題を解決するための手段〕

この課題は本発明によれば特許請求の範囲の請求項1及び2に記載した方法によって解決される。請求項3及び4は本発明方法の有利な実施態様を示すものである。

#### 〔発明の効果〕

本発明により得ることのできる利点は特に、本発明方法により製造された偏向素子がマイクロエレクトロニクス分野で通常に用いられる制御電圧で付勢されることである。

#### 〔実施例〕

次に本発明を図面に基づき詳述する。

第1図に略示した制御板は主として、多放射源から発せられる粒子プローブ14、14'を通すための窓10及び相応する数の偏向素子9、9'（これはボンド・パッド7、7'及び接続導体を介して、電子又はイオンビームリソグラフィ装置の制御信号発生エレクトロニクスに接続されている）を備えた単結晶半導体基板1からなる。多放射源としては特に、制御板の上方に配置されかつ

大表面の一次粒子ビームで付勢される、切欠部を有する絞りが考慮される。粒子プローブ 14、14' の各々には制御板の偏向素子 9、9' が所属し、これによりその都度の粒子プローブ 14、14' を個別に偏向し、場合によっては帰線消去することができる（当該粒子プローブを光線路内で制御板の下方に配置された絞りに偏向させる）。偏向素子 9、9' 及び場合によっては強化されたボンド・パッド 7、7' を製造した誘電体 2 で被覆された半導体基板 1 に接続させるには、リソグラフィ法及び電着成形技術を使用することが好ましく、この場合リソグラフィは製造すべき構造体の寸法及び形状との関連において UV 又はシンクロトロン光線で実施する。偏向素子 9、9' の高さは、数  $10 \mu m$ 、特に  $10 \sim 100 \mu m$  であり、従ってマイクロエレクトロニクスでの通常の制御電圧で加工することができる。

第 1 図に示した制御板を製造する方法は本発明においては次の処理工程を含む（第 2 図参照）。

- 半導体基板 1 例えば (1, 0, 0) 又は (1,

よりも大きい) (第 2 図 g)、

- フォトレジスト層 8 への、偏向素子 9 の寸法及び形状のリソグラフィ転写 (第 2 図 h)、
- フォトレジスト層 8 に製造された凹部の、偏向素子 9 の所望の高さまでの電気めっきによる充填 (第 2 図 i)、
- フォトレジスト層 8 の除去 (第 2 図 j)、
- 基板スルーホール 10 を得るための、ウエハ背面での半導体基板 1 の湿式化学的異方性エッチング (第 2 図 j)、
- スルーホール 10 の範囲内での誘電層 2 及び電気めっき出発層 4 のエッチング (第 2 図 j)。本発明の別な方法によれば、偏向素子 9 は三層技術を使用することによっても製造することができます。この処理は第 3 図に基づき説明する工程を含み、この場合には第 2 図 f に示した構造体から出発する。
- レジスト又はプラスチック 11 (例えばポリイミド) でのウエハ表面の被覆 (この厚さは、これが形成すべき偏向素子 9 の高さを上回るよ

1, 0) 配向を有するシリコン上への、第 1 誘電層 2 例えば窒化珪素又は酸化珪素層の析出 (第 2 図 a, b)、

- 基板下面への第 2 誘電層 3、例えば窒化珪素又は酸化珪素の析出 (第 2 図 b)、
- 誘電層 2 への、金属型電気めっき出発層 4、例えばクロム・金又はチタン・金層の析出 (第 2 図 c)、
- 誘電層 3 に遠心塗布されたフォトレジスト層 6 への、基板スルーホール 10 の寸法のリソグラフィ転写、及び誘電層 3 のエッチング (構造化) (第 2 図 d, e)、
- 電気めっき出発層 4 に遠心塗布されたフォトレジスト層 5 への、接続導体及びボンド・パッド 7, 7' の寸法及び形状のリソグラフィ転写 (第 2 図 d)、
- 接続導体 7 の電気めっき補強及びフォトレジスト層 5 の除去 (第 2 図 e, f)、
- フォトレジスト層 8 でのウエハ表面の被覆 (その厚さは形成すべき偏向素子 9 の所望の高さ

うに構成する) (第 3 図 a, b)、

- 第 2 中間層 12、例えば窒化・アルミニウム又は珪素の塗布 (第 3 図 b)、
- 中間層 12 上に遠心塗布されたフォトレジスト層 5 への、偏向素子 9 の寸法及び形状のリソグラフィ転写 (第 3 図 b, c)、
- 中間層 11 及び 12 のエッチング (構造化) (第 3 図 d)、
- 第 1 中間層 11 内に製造された凹部の、偏向素子 9 の所望の高さまでの電気めっきによる充填 (第 3 図 e)、
- フォトレジスト層 5 及び中間層 11 及び 12 の除去 (第 3 図 f)、
- スルーホール 10 を得るための、ウエハ背面での基板 1 の湿式化学的異方性エッチング (第 3 図 g)、
- スルーホール 10 の範囲内での誘電層 2 及び電気めっき出発層 4 のエッチング (第 3 図 g)。

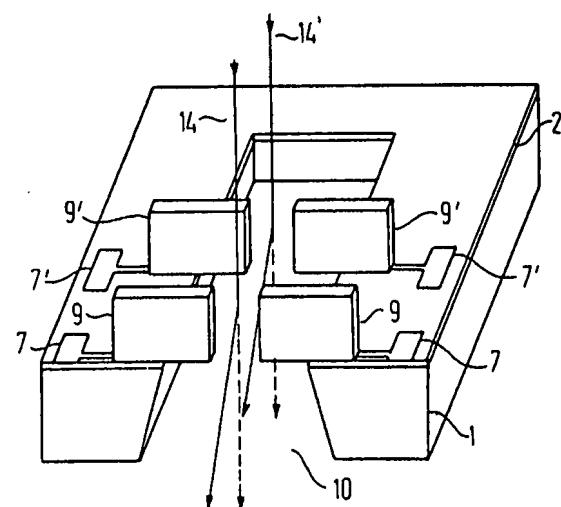
#### 4. 図面の簡単な説明

第 1 図は製造すべき制御板の略示図、第 2 図及

び第3図は制御板を製造するための処理工程図である。

- 1 … 半導体基板
- 2、3 … 誘電層
- 4 … 金属層
- 5、6 … フォトレジスト層
- 7、7' … ポンド・パッド
- 8 … フォトレジスト層
- 9、9' … 偏向素子
- 10 … スルーホール
- 11、12 … 中間層
- 14、14' … 粒子プローブ

FIG 1



(6118) 代理人 先端士 富村

FIG 2

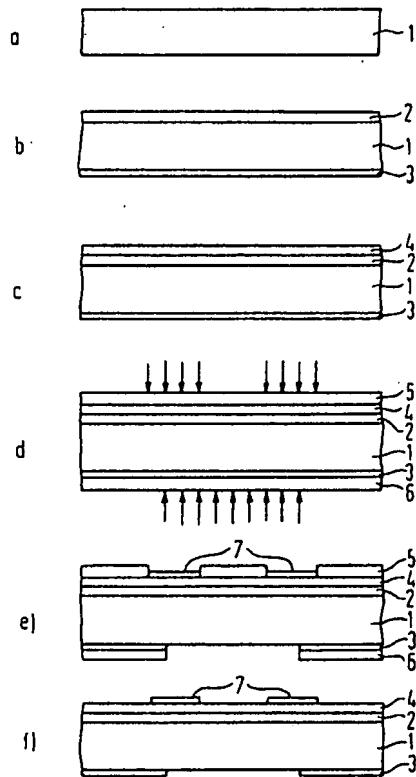


FIG 2

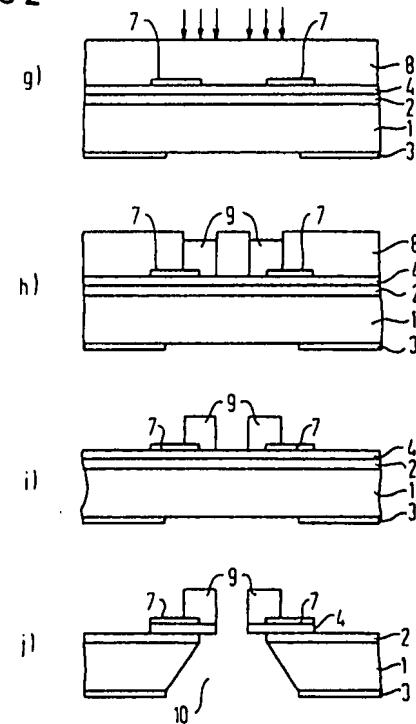


FIG 3

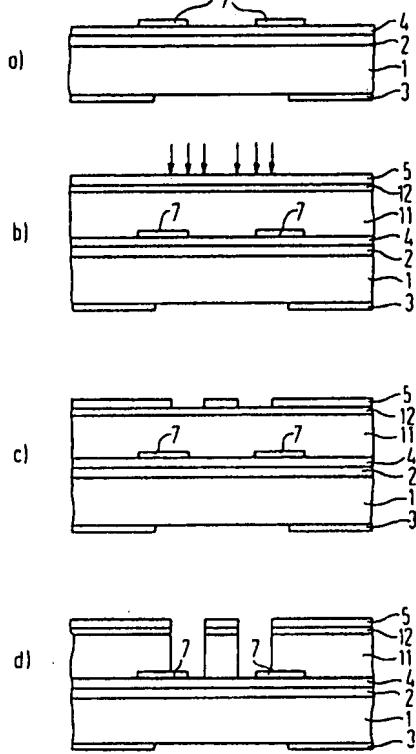


FIG 3

